

PAT-NO: JP411175022A
DOCUMENT-IDENTIFIER: JP 11175022 A
TITLE: AGING METHOD AND AGING DEVICE OF
DISPLAY
PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
TERONAI, YUUJI	N/A
KOBAYASHI, YOSHIHIKO	N/A
TAKASAKI, SHIGERU	N/A
SEKIGUCHI, TAKETO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP09346683

APPL-DATE: December 16, 1997

INT-CL (IPC): G09G003/28, G09G003/20 , H01J009/44 ,
H01J017/49

ABSTRACT:

PROBLEM TO BE SOLVED: To correct nonuniformity of inter-display cell I-V characteristics.

SOLUTION: Output terminals 25 (25-1, 25-2,..., 25-256) of a display anode driver circuit 2 are respectively connected to display anode lines of a plasma display (PDP) 7 and output terminals 24 (24-1, 24-2,..., 24-256) of a cathode driver circuit 5 are respectively connected to cathode lines of the PDP 7.

Cell data indicating aging-on times individually set to every display cell of the PDP 7 are stored in the memory of a signal processing circuit 6. The cathode driver circuit 5 successively scans the cathode lines based on a scanning shift clock 15 and scanning pulses 16. The signal processing circuit 6 generates an aging control signal 22 indicating whether a display cell is aging-driven or not for every cell based on the cell data. A display anode constant current circuit 1 and the display anode driver circuit 2 aging-drive plural display cells belonging to the scanned cathode line selectively based on the aging control signals 22.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-175022

(43)公開日 平成11年(1999) 7月2日

(51)Int.Cl.⁴
G 0 9 G 3/28
3/20 6 7 0
H 0 1 J 9/44
17/49

F I
G 0 9 G 3/28 F
3/20 6 7 0 Q
H 0 1 J 9/44 A
17/49 Z

審査請求 未請求 請求項の数15 O L (全 19 頁)

(21)出願番号 特願平9-346683

(22)出願日 平成9年(1997)12月16日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 手呂内 雄二

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 小林 芳彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 高崎 茂

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 前田 実

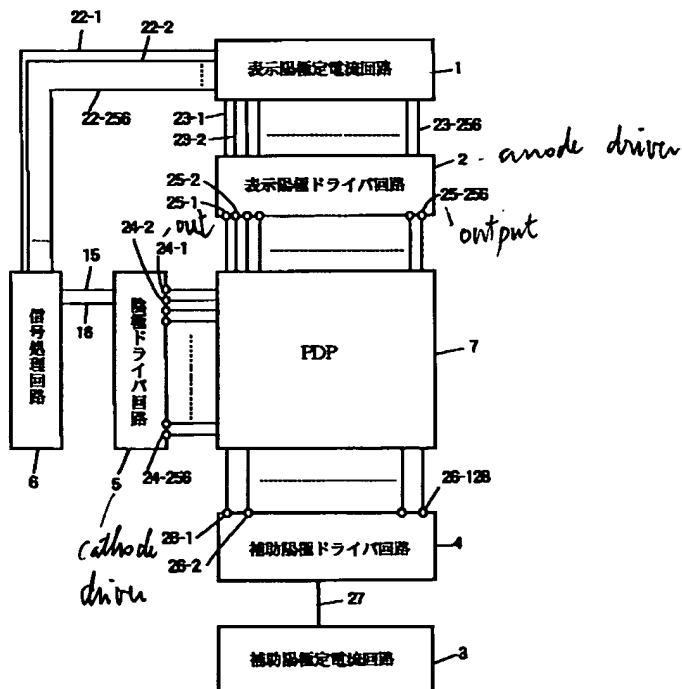
最終頁に続く

(54)【発明の名称】 ディスプレイのエージング方法およびエージング装置

(57)【要約】

【課題】 表示セル間のI-V特性ばらつきを補正する。

【解決手段】 表示陽極ドライバ回路2の出力端子25はプラズマディスプレイ(PDP)7の表示陽極ラインにそれぞれ接続されており、陰極ドライバ回路5の出力端子24はPDP7の陰極ラインにそれぞれ接続されている。信号処理回路6のメモリには、PDP7の表示セルごとに個別に設定されたエージングオン時間を示すセルデータが記憶されている。陰極ドライバ回路5は走査シフトクロック15および走査パルス16に基づいて陰極ラインを順次走査する。信号処理回路6は、表示セルをエージング駆動するか否かを示すエージング制御信号22を上記のセルデータに基づいて表示セルごとに生成する。表示陽極電流回路1および表示陽極ドライバ回路2は、走査された陰極ラインに属する複数の表示セルをエージング制御信号22に基づいて選択的にエージング駆動する。



1

【特許請求の範囲】

【請求項1】 複数の表示セルを備えたディスプレイに対し表示セルの特性改善のために表示セルをエージング駆動するディスプレイのエージング方法において、各表示セルのエージングオン時間を個別に設定する工程と、

個別に設定されたエージングオン時間だけ各表示セルのエージング駆動を実施する工程とを含むことを特徴とするディスプレイのエージング方法。

【請求項2】 前記エージング駆動を実施する工程は、個別に設定されたエージング時間が経過するまで共通のオンデューティで各表示セルをエージングするものであることを特徴とする請求項1記載のディスプレイのエージング方法。

【請求項3】 前記エージング駆動を実施する工程は、個別に設定されたオンデューティで共通のエージング時間が経過するまで各表示セルをエージングするものであることを特徴とする請求項1記載のディスプレイのエージング方法。

【請求項4】 前記エージングオン時間を設定する工程は、エージング前の表示セルの電流-電圧特性を求める工程と、

前記電流-電圧特性の表示セル間ばらつきが小さくなるように、各表示セルのエージングオン時間を決める工程とを含むことを特徴とする請求項1記載のディスプレイのエージング方法。

【請求項5】 前記ディスプレイが、DC型プラズマディスプレイであることを特徴とする請求項1記載のディスプレイのエージング方法。

【請求項6】 前記エージングオン時間を設定する工程は、エージング前の表示セルの電流-電圧特性を求める工程と、

ディスプレイを定電圧駆動したときのセル電流の表示セル間ばらつきが小さくなるように、エージングオン時間を決める工程とを含むことを特徴とする請求項5記載のディスプレイのエージング方法。

【請求項7】 前記電流-電圧特性を求める工程は、表示セルのセル電流が0になるときのセル電圧であるセル電圧切片と、所定のセル電圧を印加したときのセル電流とを求める工程を含み、

前記エージングオン時間を決める工程は、予め用意されている、エージング時間に対するセル電圧切片の降下特性と、前記求められたセル電圧切片およびセル電流とに基づいて、エージング時間を決めるものであることを特徴とする請求項6記載のディスプレイのエージング方法。

【請求項8】 前記電流-電圧特性を求める工程は、表示セルのセル電流が0になるときのセル電圧であるセル電圧切片と、所定のセル電圧を印加したときのセル電流

とを求める工程を含み、

前記エージングオン時間を決める工程は、予め用意されている、オンデューティに対するセル電圧切片の降下特性と、前記求められたセル電圧切片およびセル電流とに基づいて、オンデューティを決めるものであることを特徴とする請求項6記載のディスプレイのエージング方法。

【請求項9】 複数の表示セルを備えたディスプレイに対し表示セルの特性改善のために表示セルをエージング駆動するディスプレイのエージング装置において、

各表示セルのセルデータを記憶する記憶手段と、前記セルデータに応じた個別のエージングオン時間だけ各表示セルをエージング駆動するエージング手段とを有することを特徴とするディスプレイのエージング装置。

【請求項10】 前記ディスプレイがDC型プラズマディスプレイであることを特徴とする請求項9記載のディスプレイのエージング装置。

【請求項11】 前記セルデータは、各表示セルのエージング時間を示すものであり、

前記エージング手段は、前記セルデータに応じた個別のエージング時間が経過するまで共通のオンデューティで各表示セルをエージングするものであることを特徴とする請求項9記載のディスプレイのエージング装置。

【請求項12】 前記エージング手段は、エージング開始からの経過時間を示す経過時間データを生成するタイマ手段と、

前記セルデータと前記経過時間データとを比較することにより、個別に設定されているエージング時間を経過したか否かを判定し、この判定結果に基づいてエージング駆動するかしないかを表示セルごとに示すエージング制御信号を生成する制御手段と、

前記エージング制御信号に基づいて各表示セルを個別にエージング駆動する駆動手段とを有することを特徴とする請求項11記載のディスプレイのエージング装置。

【請求項13】 前記セルデータは、各表示セルのオンデューティを示すものであり、

前記エージング手段は、前記セルデータに基づく個別のオンデューティで共通のエージング時間が経過するまで各表示セルをエージングするものであることを特徴とする請求項9記載のディスプレイのエージング装置。

【請求項14】 前記エージング手段は、前記セルデータに基づいて、単位期間においてエージング駆動する期間とエージング駆動しない期間を表示セルごとに示すエージング制御信号を生成する制御手段と、前記エージング制御信号に基づいて各表示セルを個別にエージング駆動する駆動手段とを有することを特徴とする請求項13記載のディスプレイのエージング装置。

【請求項15】 前記制御手段は、前記セルデータに基づいてパルスを幅変調する幅変調回路を備え、

前記エージング信号としてパルス幅変調信号を生成することを特徴とする請求項14記載のディスプレイのエージング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の表示セルを備えたディスプレイのエージング方法およびエージング装置に関し、特にDC型プラズマディスプレイに好適なエージング方法およびエージング装置に関するものである。

【0002】

【従来の技術】図15はDC型プラズマディスプレイ（以下、PDPともまたパネルとも称する）の構造図である。ガラスの背面基板201上には、表示陽極202、補助陽極203、表示陽極リード204、および補助陽極リード205を厚膜印刷により形成されている。また、表示陽極202と表示陽極リード205の間、および補助陽極203と補助陽極リード205の間には、抵抗206が設けられている。この抵抗206により放電電流値を小さく抑え、パネルの長寿命化を図ることができる。背面基板201上の表示陽極202および補助陽極203の部分を除き、誘電体207により絶縁され、その上に障壁208が印刷されている。この障壁208によりセルの放電空間が形成されている。2個の表示セル209に対し1個の補助セル210があり、補助セル210内の放電で発生した荷電粒子や準安定粒子は左右の表示セル209に入って放電開始電圧を下げる。表示セル209における障壁208の側面および表示陽極202を除く底面には蛍光体211が塗布されている。前面基板212には、表示陽極202および補助陽極203と垂直方向に走る陰極213が形成されている。

【0003】上記したPDPをパターン表示駆動（画像表示駆動）するに先んじて、特定の駆動条件でPDPを駆動するエージング工程（以下、単にエージングと称する）を実施する。エージング工程の目的は、電気的には、セルの電気的特性の改善であり、化学的には、電極等セル表面の洗浄である。エージング工程は、水銀拡散工程（以下、単に水銀拡散と称する）の前および後に実施される。水銀拡散とは、パネル内に存在する水銀が添加された固形物質に熱を加え水銀を蒸気化し、さらに長時間パネルを高温に保ち、水銀蒸気をパネル放電空間にまんべんなく分散させる工程である。水銀が表示セルに存在すると、寿命の原因である放電ガスによる陰極等のスパッタリングが緩和され、パネルの寿命が延びる。

【0004】水銀拡散前のエージングは、セル表面を洗浄する目的が大きく、水銀拡散前にセル表面を洗浄しておきさえすれば、水銀拡散後初期（水銀拡散後のエージング前）の放電電圧は各セル固有の値になり、水銀拡散前のエージングの駆動条件に依存しない。また、水銀拡

散後のエージングは、セルの放電電圧の低減する目的が大きい。

【0005】セルを駆動したときに、セルの陽極-陰極間に流れる放電電流をセル電流と称し、放電電圧をセル電圧と称する。なお、PDPにおけるセル電圧（放電電圧）は、セルの陽極に設けられている抵抗における電圧降下を含む。また、エージングにおけるセルの駆動をパターン表示駆動と区別してエージング駆動と称する。上記のエージング駆動は、各セルに一定のセル電流を流す定電流駆動である。これに対し、一般にパターン表示駆動は、点灯させる表示セルに一定のセル電圧を印加する定電圧駆動である。

【0006】エージングは、陰極ラインを単純順次走査し、PDPの各表示セルおよび各補助セルを順次駆動することにより実施されるので、1個のセルに着目すると、そのセルにおいては、点灯している期間と点灯していない期間が交互に繰り返される。点灯と非点灯の繰り返しの開始から終了までの時間（期間）をエージング時間（エージング期間）と称する。また、エージング期間において1セルの点灯時間の合計をエージングオン時間と称し、エージング時間に対するエージングオン時間の割合をオンデューティと称する。ここで、PDPの1陰極ラインを走査する期間を1ライン走査期間、全陰極ラインを走査する期間を1フレーム走査期間とすると、1個のセルに着目したとき、点灯している期間は1ライン走査期間に等しく、点灯から次の点灯までの周期が1フレーム走査期間に等しい。

【0007】図16は従来のエージング装置の構成を示すブロック図である。図16に示すエージング装置は、表示陽極定電流回路101と、表示陽極ドライバ回路2と、補助陽極定電流回路3と、補助陽極ドライバ回路4と、陰極ドライバ回路5と信号発生回路106とを有し、PDP7をエージングする。全表示セルに共通の表示セル定電流信号111が表示陽極定電流回路101から陽極ドライバ回路103に入力され、全補助セルに共通の補助セル定電流信号27が補助陽極定電流回路3から補助陽極ドライバ回路4に入力される。表示陽極ドライバ回路2は、PDP7の表示陽極ライン数と同数の表示陽極出力端子25を有する。それぞれの表示陽極出力端子25は、対応する表示陽極ラインに個別に接続している。この表示陽極ドライバ回路2は、PDP7の全ての表示陽極ラインに正電圧を印加する。補助陽極ドライバ回路4は、PDP7の補助陽極ライン数と同数の補助陽極出力端子26を有する。それぞれの補助陽極出力端子26は、対応する補助陽極ラインに個別に接続している。この補助陽極ドライバ回路4は、全ての補助陽極ラインに正電圧を印加する。また、陰極ドライバ回路5は、PDP7の陰極ライン数と同数の陰極出力端子24を有する。それぞれの陰極出力端子24は、対応する陰極ラインに個別に接続している。この陰極ドライバ回路

5

5は信号発生回路106から入力される走査パルス16とシフトクロック15とに基づいてPDP7の1本の陰極ラインを1ライン走査期間ごとに順次選択して接地電源に接続する(選択されなかった他の陰極ラインはフローティングとなる)。なお、表示陽極定電流回路101と補助陽極定電流回路3の内部構成は同じであり、これらを単に陽極定電流回路と称する。また、表示陽極ドライバ回路2と補助陽極ドライバ回路4との内部構成は、駆動対象となる陽極ライン数が異なる(表示陽極ライン2本に対し補助陽極ラインが1本設けられている)以外10は同じであり、これらを単に陽極ドライバ回路と称する。

【0008】図17は図16の陽極定電流回路(101および3)と陽極ドライバ回路(2および4)の構成を示す回路図である。陽極定電流回路108は、ダーリントン接続されたNPN型トランジスタTr1およびPNP型トランジスタTr2と、保護抵抗R1およびR2と、ボリューム用可変抵抗Rvとを有する。可変抵抗Rvは、正電源Vaに接続されている第1の固定ピンと、電源Va-10(電源Vaよりも10[V]低い)に接続されている第2の固定ピンと、電流モニタ部およびトランジスタTr1のベース電極に接続されている可変ピンとを有する。トランジスタTr1のエミッタ電極は抵抗R1を介して電源Va-10に接続され、Tr1のコレクタ電極は電源Vaに接続されている。トランジスタTr2のベース電極は、トランジスタTr1のエミッタ電極に接続され、Tr2のエミッタ電極は、抵抗R2を介して電源Vaに接続され、Tr2のコレクタ電極は電源Va-5(電源Vaよりも5[V]低い)に接続されている。Tr2のエミッタ電極は、定電流信号113(図16の表示セル定電流信号111または補助セル定電流信号27)の出力端子となる。

【0009】また、陽極ドライバ回路109は、保護抵抗R4およびR5と、定電流用トランジスタTr4と、陽極出力端子110(表示陽極出力端子25または補助陽極出力端子26)からなるドライバユニットを表示陽極ライン数あるいは補助陽極ライン数と同数だけ有する。トランジスタTr4のベース電極には定電流信号113が入力され、Tr4のエミッタ電極は抵抗R4を介して電源Vaに接続され、Tr4のコレクタ電極は抵抗R5を介して陽極出力端子110に接続されている。各陽極出力端子110はPDP7の対応する陽極ライン(表示陽極ラインまたは補助陽極ライン)に接続している。

【0010】陽極定電流回路108および陽極ドライバ回路109において、可変抵抗Rvの可変ピンにより、トランジスタTr1のベース電極が電源Va-10にバイアスされているときには、トランジスタTr1、Tr2、Tr4はオフしており、PDP7の陽極ラインに正電圧が印加されないのでセル電流は流れない。可変抵抗

6

Rvの可変ピンを電源Va側に移動し、トランジスタTr1のベース電位を上げると、トランジスタTr1、Tr2、Tr4がオンし、電源Vaがセルの放電可能電圧(約300[V])以上であれば、陰極ドライバ回路5(図16参照)により選択された1本の陰極ラインに接続するセルに、トランジスタTr4、陽極出力端子110、およびPDP7の陽極ラインを介してセル電流が流れる。さらにトランジスタTr1のベース電位を上げていくと、定電流信号113の電流および電圧レベルが上がっていき、これによりセル電流は徐々に大きくなる。なお、セル電流の設定値は電流モニタ部に表示される。

【0011】図16および図17の従来のエージング装置においては、セル電流は30~100[μA]に設定される。また、各セルは1フレーム走査期間において1ライン走査期間ずつエージング駆動される。1ライン走査期間は500[μs]~5[ms]に設定される。従来のエージング装置においては、全セルのエージング時間、エージングオン時間、およびオンデューティは共通である。例えば、陰極ライン数が256本の場合には、オンデューティは1/256となる。オンデューティが1/256の場合には、エージング時間は3~5時間に設定される。

【0012】

【発明が解決しようとする課題】水銀拡散後初期のセルのセル電流-セル電圧特性(以下、I-V特性と称する)は、セル形状と表示陽極に設けられた抵抗の値とにより決まり、同じパネル内においてもセル間でばらつきがある。また、水銀拡散後のエージングにより、全てのセルのI-V特性は、水銀拡散後初期の特性からエージングオン時間に依存してセル電圧を下げる方向にほぼ同じ量だけシフトする(定電流駆動したときのセル電圧が一律に下がる)。上記従来のエージングでは、1枚のパネルに含まれる表示セルは、全て同じ条件でエージングされるので、水銀拡散後のエージングが終了しても、セル間のI-V特性ばらつきは存在する。

【0013】パネル内における表示セルのI-V特性に大きなばらつきがあると、パターン表示駆動等の定電圧駆動のときに、セル電流(放電電流)に大きなばらつきがでてくる。定電圧駆動時のセル電流値が平均値から見てある範囲内を越えたところに存在すると、誤点灯の要因になり、また平均値から見てある範囲内に満たないところに存在すると、不灯セルの要因になる。すなわち、I-V特性(特にセル電流)のばらつきが大きいと、そのパネルのパターン表示品質が低下する。

【0014】本発明はこのような従来の課題を解決するためになされたものであり、表示セル間のI-V特性(特にセル電流)ばらつきを補正することができるディスプレイのエージング方法およびエージング装置を提供することを目的とするものである。

【0015】

【課題を解決するための手段】上記の目的を達成するために本発明のディスプレイのエージング方法は、各表示セルのエージングオン時間を個別に設定する工程と、個別に設定されたエージングオン時間だけ各表示セルのエージング駆動を実施する工程とを含むことを特徴とするものである。

【0016】また、本発明のディスプレイのエージング装置は、各表示セルのセルデータを記憶する記憶手段と、前記セルデータに応じた個別のエージングオン時間だけ各表示セルをエージング駆動するエージング手段とを有することを特徴とするものである。

【0017】

【発明の実施の形態】実施の形態1

図1は本発明の実施の形態1のPDPエージング装置の構成を示すブロック図である。図1のエージング装置は、表示陽極定電流回路1と、表示陽極ドライバ回路2と、補助陽極定電流回路3と、補助陽極ドライバ回路4と、陰極ドライバ回路5と信号処理回路6とを有し、PDP7をエージングする。また、図2は本発明の実施の形態1のPDPエージング装置の構成を示す回路図である。なお、図2において、補助陽極定電流回路3および補助陽極ドライバ回路4の内部構成は従来と同様なので、内部構成の図示および説明を省略する。

【0018】PDP7は、表示セル数が $m \times n$ (m は正の整数、 n は正の偶数、)個のDC型プラズマディスプレイであり、 m 本の陰極ラインと、 n 本の表示陽極ライン(表示陽極リード)と、 $n/2$ 本の補助陽極ライン(補助陽極リード)とを有する。なお、第 i (i は1から m までの任意の整数)の陰極ラインを KL_i 、第 j (j は1から n までの任意の整数)の表示陽極ラインを AL_j と表記する。また、陰極ライン KL_i と表示陽極ライン AL_j とによる表示セルを $CE(i, j)$ と表記する。ここでは、 $m=n=256$ であるものとする。

【0019】信号処理回路6は、基本信号発生回路61と、アドレス信号発生回路62と、タイマ回路63と、ラッチ回路64および68と、メモリ65と、比較回路66と、シフトレジスタ回路67とを有する。基本信号発生回路61は、アドレス基本信号10と、読み出しイネーブル信号11と、タイマカウント基本信号12と、シフトクロック13と、ラッチクロック14と、走査シフトクロック15と、走査パルス16とを発生させる。また、アドレス信号発生回路62は、入力されたアドレス基本信号10に基づいてアドレス信号17を発生し、これをメモリ65に出力する。なお、アドレス基本信号10はアドレス信号17の基本信号となるものであれば良く、またタイマカウント基本信号12は、タイマ回路63により生成される経過時間データ信号18の基本信号となるものであれば良い。

【0020】タイマ回路63は、基本信号発生回路61から入力されるタイマカウント基本信号12に基づい

て、エージング開始からの経過時間を示す経過時間データを生成し、経過時間データ信号18を出力する。経過時間データ信号18の経過時間データは、ここでは、1ライン走査期間の $1/16$ の周期で更新される。また、ラッチ回路64は、経過時間データ信号18をラッチロック14の立ち上がりごとにラッチし、ラッチしたデータを経過時間保持データ信号20として出力する。経過時間保持データ信号20は、ここでは、1ライン走査期間ごとに更新される。1ライン走査期間は、走査シフトクロック15あるいはラッチクロック14の立ち上がりから次の立ち上がりまでの期間である。

【0021】メモリ65は、セルデータを記憶しており、読み出しイネーブル信号11によりデータ読み出し動作が許可されているときに、アドレス信号17により指定されたアドレスに記憶されているセルデータをセルデータ信号として出力する。

【0022】セルデータは、各表示セルごとに個別に設定されたエージングオン時間を示すデータであり、ここでは8ビットデータであるものとする。この実施の形態1では、表示セルのエージングは共通のオンデューティで実施され、セルデータは各表示セルの個別のエージング時間を示すデータである。ここで、エージングは、陰極ラインの順次走査により実施されるので、1個の表示セルに着目すると、その表示セルにおいては、点灯している期間と点灯していない期間が交互に繰り返される。エージング時間(期間)とは、点灯、非点灯の繰り返しの開始から終了までの時間(期間)を示す。また、エージングオン時間とは、エージング期間において、1表示セルの点灯時間の合計を示し、オンデューティとは、エージング時間に対するエージングオン時間の割合を示す。この実施の形態1のエージング装置においては、エージング期間の開始はPDP7のエージング開始に一致するが、エージング期間の終了はセルデータに応じて表示セルごとに異なる。

【0023】メモリ65からは、1ライン走査期間に、1本の陰極ラインに属する256個の表示セルのセルデータが読み出される。すなわち、陰極ライン $KL(i-1)$ の走査期間に、陰極ライン KL_i に接続する256個の表示セル $CE(i, 1) \sim CE(i, 256)$ のセルデータをメモリ65から読み出す。メモリ65からのセルデータの読み出し形態は任意であるが、ここでは、メモリ65の1アドレス期間を1ライン走査期間の $1/16$ とし、1アドレス期間に16個の表示セルのセルデータを同時に(パラレルに)読み出し、また16アドレス期間に16個のセルデータを順次(シリアル)読み出すことにより、1ライン走査期間に上記256個の表示セルのセルデータを読み出すものとする。

【0024】従って、メモリ65は、ここでは8ビットのバスを16本備えており、1アドレスに 16×8 ビットのデータ(16個のセルデータ)を記憶しており、こ

の16個のセルデータを上記16本のバスにそれぞれ16本のセルデータ信号19-1~19-16として出力するものとする。また、PDP7の表示陽極ラインAL1~AL256を16個の表示陽極ライン群に分割し、同じ陰極ラインに属し、かつ同じ表示陽極ライン群に属する16個の表示セルのセルデータがメモリ65の1アドレスに記憶されるものとする。上記16個の表示陽極ライン群を、ALG1、ALG2...ALG16と表記する。ここでは、表示陽極ラインAL1~AL16により表示陽極ライン群ALG1を構成し、AL17~AL32によりALG2を構成し、以下同様にALG3~ALG15を構成し、AL241~AL256によりALG16を構成するものとする。

【0025】比較回路66は、経過時間保持データ信号20の経過時間保持データと、セルデータ信号19-k (kは1~16までの任意の整数)の大きさを比較し、経過時間保持データがセルデータ以下であるときオン、経過時間保持データがセルデータよりも大きいときオフとなる1ビットの比較結果データを生成し、比較結果データ信号21-kとして出力する。比較結果データは、1ライン走査期間の1/16の期間ごとにセルデータ信号19-1~19-16の16個のセルデータにそれぞれ対応して16個ずつ生成され、それぞれ16本の比較結果データ信号21-1~21-16として出力される。また、比較結果データ信号21-kは、1走査ライン期間に16個の表示セルにそれぞれ対応する16個の比較結果データを含む。

【0026】シフトレジスタ回路67は、比較結果データ信号21-1~21-16がそれぞれ入力され、シフトクロック13が共通に入力される16個のシフトレジスタを有する。シフトレジスタは、16個のビットレジスタからなる16段のシフトレジスタであり、比較結果データ信号21-kの比較結果データをシフトクロック13の立ち上がりで順次シフトする。シフトクロック13は1ライン走査期間の1/16周期のクロックである。このシフトレジスタ回路67は、比較結果データ信号21-1~21-16に1ライン走査期間に含まれる256個の比較結果データをパラレルデータに変換し、この256個の比較結果データを上記16個のシフトレジスタの256個のビットレジスタの出力端子からラッチ回路68に出力する。また、ラッチ回路68は、これから走査される陰極ラインに属しかつ全表示陽極ラインに属する256個の表示セルに対応する256個の比較結果データをラッチクロック14によりラッチし、ラッチしたデータを上記256個の表示セルのエージング制御信号22-1~22-256として表示陽極定電流回路1に出力する。

【0027】表示陽極定電流回路1は、ボリューム用可変抵抗Rvと、PDP7の表示陽極ライン数nと同数の表示陽極定電流ユニットとを有する。可変抵抗Rvは、

正電源Vaに接続されている第1の固定ピンと、電源Va-10 (電源Vaよりも10[V]低い)に接続されている第2の固定ピンと、電流モニタ部および全ての定電流ユニットに接続されている可変ピンとを有し、信号処理回路1から入力されたエージング制御信号22-1~22-256と、可変抵抗Rvの可変ピンの設定とに基づいて、定電流信号23-1~23-256を生成し、これを表示陽極ドライバ回路2に出力する。

【0028】それぞれの表示陽極定電流ユニットは、NPN型バイポーラトランジスタTr1と、PNP型バイポーラトランジスタTr2と、Pチャネル電界効果トランジスタTr3と、保護抵抗R1、R2とにより構成され、入力されたエージング制御信号22-jと可変抵抗Rvの可変ピンの設定とに基づいて定電流信号23-jを生成する。トランジスタTr1のベース電極は可変抵抗Rvの可変ピンに接続され、エミッタ電極は抵抗R1を介して電源Va-10に接続され、コレクタ電極は電源Vaに接続されている。トランジスタTr2のベース電極はトランジスタTr1のエミッタ電極に接続され、Tr2のエミッタ電極は抵抗R2を介して電源Vaに接続され、Tr2のコレクタ電極は電源Va-5に接続されている。トランジスタTr2のエミッタ電極は定電流信号23-jの出力端子となる。トランジスタTr3のゲート電極には、信号処理回路6からエージング制御信号22-jが入力され、Tr3のソース電極は電源Vaに接続され、ドレイン電極はトランジスタTr1のエミッタ電極およびトランジスタTr2のベース電極に接続されている。

【0029】表示陽極ドライバ回路2は、従来と同様に、PDP7の表示陽極ライン数nと同数の表示陽極ドライバユニットを有する。それぞれの表示陽極ドライバユニットは、電流制限抵抗R4およびR5と、トランジスタTr4と、表示陽極出力端子25-jとにより構成される。トランジスタTr4のベース電極には、表示陽極定電流回路1の対応する定電流ユニットから定電流信号23-jが入力され、Tr4のエミッタ電極は抵抗R4を介して電源Vaに接続され、またコレクタ電極は抵抗R5を介して表示陽極出力端子25-jに接続されている。表示陽極出力端子25-jは、PDP7の対応する表示陽極ラインに接続されている。

【0030】陰極ドライバ回路5は、従来と同じ構成であり、PDP7の陰極ライン数mと同じ段数のシフトレジスタ51と、陰極ライン数mと同数の陰極ドライバユニットとを有する。それぞれの陰極ドライバユニットは、Pチャネル電界効果トランジスタTr5と、陰極出力端子24-iとにより構成される。シフトレジスタ51は、信号処理回路6から走査シフトクロック15が入力されるクロック入力端子と、信号処理回路6から走査パルス16が入力されるデータ入力端子と、PDP7の陰極ライン数と同数のビットレジスタと、PDP7の陰

11

極ライン数と同数の出力端子（それぞれのビットレジスタの出力端子）とを有し、走査パルス16を走査シフトクロック15の立ち上がりごとに順次シフトする。また、トランジスタTr5は、陰極走査スイッチング用のトランジスタであり、Tr5のゲート電極はシフトレジスタ51の対応する出力端子に接続され、ドレイン電極は陰極出力端子24-iに接続され、またソース電極は接地電源に接続されている。陰極出力端子24-iは、PDP7の対応する陰極ラインに接続されている。

【0031】なお、信号処理回路6のメモリ65は、各表示セルのセルデータを記憶する記憶手段を構成している。また、メモリ65を除く信号処理回路6と、表示陽極駆動電流回路1と、表示陽極ドライバ回路2と、陰極ドライバ回路5とは、セルデータに応じた個別のエージング時間が経過するまで共通のオンデューティで各表示セルをエージング駆動するエージング手段を構成している。また、信号処理回路6のタイマ回路63は、エージング開始からの経過時間を示す経過時間データを生成するタイマ手段を構成しており、比較回路66とシフトレジスタ回路67とラッチ回路68とは、セルデータと経過時間データとを比較することにより、個別に設定されているエージング時間を経過したか否かを判定し、この判定結果に基づいてエージング駆動するかしないかを表示セルごとに示すエージング制御信号を生成する制御手段を構成している。また、表示陽極駆動電流回路1と表示陽極ドライバ回路2は、エージング制御信号に基づいて各表示セルを個別にエージング駆動する駆動手段を構成している。

【0032】次に図1のPDPエージング装置の動作を説明する。図3は実施の形態1のPDPエージング装置の駆動タイミングチャートである。図3には、アドレス信号17-1、17-2（17-1はアドレス信号17の上位ビットデータ、17-2は17の下位ビットデータである）と、読み出しイネーブル信号11と、セルデータ信号19-1~19-16（19-3~19-15は図示省略）と、経過時間データ信号18と、経過時間保持データ信号20と、ラッチクロック14と、シフトクロック13と、比較結果データ信号21-1~21-16（21-3~21-15は図示省略）と、エージング制御信号22-1~22-256（22-3~22-255は図示省略）と、走査シフトクロック15と、走査パルス16と、陰極出力端子24-1~24-256（24-2~24-255は図示省略）電圧の各タイミングチャートを示してある。

【0033】アドレス信号17-1は、陰極ラインKL_iに属する256個の表示セルCE（i, 1）~（i, 256）のセルデータのアドレスを指定する8ビットの信号である。図3のアドレス信号17-1に表記してあるKL1等は、そのとき指定されている陰極ラインを示している。また、アドレス信号17-2は、アドレス信

12

号17-1の下位ビットデータとなり、上記256個の表示セルCE（i, 1）~（i, 256）の内、表示陽極ライン群ALG_kに属する16個の表示セルのセルデータのアドレスを指定する4ビットの信号である。図3のアドレス信号17-2に表記してある番号は、そのとき指定されている表示陽極ライン群の番号を示している（例えば、「1」は表示陽極ライン群ALG1を示している）。また、読み出しイネーブル信号11は、メモリ65のデータ出力動作の許可/禁止を決める信号であり、図3ではエージング装置が動作している間、常にデータ出力動作の許可を示す“H”レベルとなる信号である。

【0034】メモリ65は、合計12ビットのアドレス信号17により指定された陰極ラインおよび陽極ライン群に属する16個の表示セルのセルデータを、それぞれセルデータ信号19-1~19-16として同時に出力する。図3のセルデータ信号19-1~19-16に表記してある番号は、そのデータに対応する表示セルが属する表示陽極ラインの番号を示している（例えば「256」は表示陽極ラインAL256を示している）。

【0035】タイマ回路63は、タイマカウント基本信号12をカウントアップすることにより、8ビットの経過時間データを生成し（経過時間データのビット数はセルデータのビット数と等しくする）、この経過時間データを経過時間データ信号18として出力する。経過時間データ信号18は1ライン走査期間の1/16の期間ごとに更新される。また、ラッチ回路64は、経過時間データ信号18のデータをラッチクロック14の立ち上がりでラッチすることにより、8ビットの経過時間保持データを生成し、この経過時間保持データを経過時間保持データ信号20として出力する。経過時間保持データ信号20は、ラッチクロック14の立ち上がりから次の立ち上がりまでの期間、すなわち1ライン走査期間ごとに更新される。

【0036】比較回路66は、経過時間保持データ信号20のタイム保持データと、セルデータ信号19-k（kは1から16までの任意の整数）のセルデータの大きさを比較し、経過時間保持データがセルデータ以下であるときオン、経過時間保持データがセルデータよりも大きいときオフとなる1ビットの比較結果データを生成し、比較結果データ信号21-1~21-16として出力する。すなわち比較回路66は、個別に設定された表示セルのエージングオン時間を示すセルデータと、経過時間データとを比較することにより、エージングオン時間が経過したか否かを判定し、エージングオン時間が経過していない場合にはオン、経過している場合にはオフとなる1ビットの比較結果データを生成する。オンの比較結果データは、対応する表示セルのエージング（エージング駆動のオン/オフの繰り返し）を継続することを示す、またオフの比較結果データは、対応する表示セル

のエージング（エージング駆動のオン／オフの繰り返し）を終了するあるいは実施しないことを示す。図3の比較結果データ信号21-1～21-16に表記してある番号は、そのデータに対応する表示セルが属する表示陽極ラインの番号を示している（例えば「256」は表示陽極ラインAL256を示している）。比較結果データ信号21-1～21-16は、1ライン走査期間の1/16の期間ごとに更新される。

【0037】シフトレジスタ回路67は、16個の各シフトレジスタにおいて比較結果データ信号21-1～21-16の比較結果データをシフトクロック13の立ち上がりで順次シフトすることにより、表示セルCE(i, 1)～CE(i, 256)にそれぞれ対応する256個の比較結果データを1ライン走査期間においてパラレルデータに変換し、これをラッチ回路68に出力する。

【0038】ラッチ回路68は、上記256個の比較結果データをラッチクロック14の立ち上がりでラッチし、ラッチしたデータを表示セルCE(i, 1)～CE(i, 256)のエージング制御信号22-1～22-256を出力する。エージング制御信号22-jは、表示陽極定電流回路1のj番目の表示陽極定電流ユニットに入力される。図3のエージング制御信号22-1～22-256に表記してある番号は、その信号期間に対応する表示セルの番号を示している（例えば「(256, 1)」は陰極ラインKL256に属する表示セルCE(256, 1)を示し、また「(1, 1)」は陰極ラインKL1に属する表示セルCE(1, 1)を示している）。エージング制御信号22-1～22-256のレベルは1ライン走査期間ごとに更新される。ここでは、対応する比較結果データがオンの場合には、エージング制御信号は「H」レベル（電源Vaレベル）となり、また対応する比較結果データがオフの場合には、エージング制御信号は「L」レベルとなるものとする。

【0039】エージング制御信号22-jが「H」レベルの場合には、表示陽極定電流回路1のj番目の定電流ユニットにおいて、トランジスタTr3はオフのままであり、トランジスタTr1およびTr2には、可変抵抗Rvの設定に応じたエミッターコレクタ間電流が流れ、トランジスタTr2のエミッターコレクタ間電流に応じた定電流信号23-jが表示陽極ドライバ回路2のj番目の表示陽極ドライバユニットに出力される。表示陽極ドライバ回路2のj番目のドライバユニットにおいて、トランジスタTr4には、定電流信号23-jに応じたエミッタコレクタ間電流が流れる。この電流は、抵抗R4および表示陽極出力端子25-jを介して表示陽極ラインALjに供給され、表示セルCE(i, j)の放電電流となる。すなわち、エージング制御信号22-jが「H」レベルの場合には、表示セルCE(i, j)は、対応する陰極ラインKLiが陰極ドライバ回路5に

より選択される1ライン走査期間においてエージング駆動される。

【0040】一方、エージング制御信号22-jが「L」レベルの場合には、表示陽極定電流回路1のj番目の定電流ユニットにおいて、トランジスタTr3がオンし、これによりトランジスタTr2のベース電極は電源VaレベルとなりTr2はオフするので、定電流信号23-jは電源Vaレベルとなる。定電流信号23-jが電源Vaレベルなので、表示陽極ドライバ回路2のj番目のドライバユニットのトランジスタTr4はオフし、これにより表示陽極ラインALjはフローティングとなり、表示セルCE(i, j)には放電電流が流れない。すなわち、エージング制御信号22-jが「L」レベルの場合には、表示セルCE(i, j)は、対応する陰極ラインKLiが陰極ドライバ回路5により選択されてもエージング駆動されない。

【0041】陰極ドライバ回路5の動作は、従来と同じであり、走査シフトクロック15の立ち上がりで同期して走査パルス16がシフトレジスタ51の256個のビットレジスタを順次シフトする。1ライン走査期間（＝走査シフトクロック15の立ち上がりから次の立ち上がりまでの期間）において、走査パルス16を保持したビットレジスタの出力のみが正電位となり、このビットレジスタに対応するトランジスタTr5がオンし、このTr5に対応する1個の陰極出力端子24が接地電位（GND）となる。また、走査パルス16を保持していない他のビットレジスタの出力は全て接地電位となり、これらのビットレジスタに対応する255個のトランジスタTr5は全てオフしたままとなり、これらのTr5に対応する255個の陰極出力端子24はハイインピーダンスとなる。すなわち、1ライン走査期間ごとに陰極出力端子24-1～24-256が択一的に順次接地電位となり、接地電位となった陰極出力端子24に接続する陰極ラインが選択される。陰極ラインKLiは、陰極出力端子24-iが接地電位になったときに選択され、陰極ラインKLiに属する表示セルCE(i, 1)～CE(i, 256)の内、エージングを開始してから経過時間がセルデータに示される設定エージング時間に達していない表示セルのみが選択的にエージング駆動される。

【0042】ここで、水銀拡散後初期の表示セルの電気的特性と水銀拡散後のエージングによる表示セルの電気特性変化について説明する。なお、以下の説明において、「セル電流」は、表示セルを駆動したときに表示セルの表示陽極－陰極間に流れる放電電流を示し、「セル電圧」は、表示セルを駆動したときの放電電圧を示すものとする。また、「エージング」は、水銀拡散後のエージングを示すものとする。表示セルの陰極は陰極ラインに接続されており、表示陽極は抵抗を介して表示陽極ラインに接続されている。陰極ラインKLiは陰極ドライバ

回路5の陰極出力端子24-iに接続されており、陽極ラインALjは表示陽極ドライバ回路2の対応する表示陽極出力端子25-jに接続されている。セル電圧は上記の抵抗における電圧降下を含むものであり、また陰極ラインKL iが走査されると陰極は接地電位となる。従って表示セルCE (i, j) のセル電圧を実測するには、表示陽極出力端子25-iの電位を測定すれば良い。また、表示セルCE (i, j) のセル電流を実測するには、表示陽極出力端子25-jに流れる電流を測定すれば良い。

【0043】図4は水銀拡散後初期（エージング前）のパネルを定電流駆動したときの任意の1表示陽極ラインに含まれる全表示セルのセル電圧を走査順にプロットした図である。図4には、セル電流を30 [μ A] に設定した場合と50 [μ A] に設定した場合を示してある。また、陰極ライン数256本（内、ダミー陰極ライン3本）のパネルを用いた。セル電圧の測定対象となる表示セル数は256個である。図4には256個の表示セルをセル番号1～256により示してある。

【0044】表示セルのセル電流-セル電圧特性（I-V特性）は、セル電流Iと、セル電圧Vと、セル電流Iの関数 $z(I)$ と、セル電流I以外の関数 v_0 とを用い、 $V=z(I)+v_0$ と表すことができる。I-V特性の傾きである $z(I)$ の微分をセルピーダンスと称し、セル電流I=0のときのセル電圧である v_0 をセル電圧切片（セルV切片）と称する。図5は図4に示した表示セルのセルインピーダンスを走査順にプロットした図である。また、図6は図4に示した表示セルのV切片を走査順にプロットした図である。図5のセルインピーダンスおよび図6のセルV切片は、図4を用いて1次近似により求めたものである。すなわち、図4の任意の番号の表示セルにおける2個の実測値（セル電流30 [μ A] および50 [μ A] に対するセル電圧）を用いてI-V特性の1次近似特性 $V=Z \times I + V_0$ （Z, V_0 は定数）を求め、この1次近似特性の傾きZをセルピーダンスとし、またセル電流I=0のときのセル電圧である V_0 をセルV切片とした。

【0045】図7は図4に示した表示セルを定電圧駆動するときのセル電流を走査順にプロットした図である。セル電圧は、例えばパターン表示駆動時の平均的な電圧値に設定する。図7では、セル電圧値を248 [V] とした。また図7では、セル電流値を計算により求めた。すなわち、I-V特性の1次近似特性 $I=(V-V_0)/Z$ を用い、セル電圧Vを上記の248 [V] とし、セルインピーダンスZを図5の値とし、またセルV切片 V_0 を図6の値とすることにより、セル電流Iを計算した。また、図8は図7のセル電流の度数分布図である。図8において、セル電流値が25～30 [μ A] の表示セルは1個、30～35 [μ A] のセルは12個、35～40 [μ A] の表示セルは118個、40～45 [μ A] の表示セルは121個、45～50 [μ A] の表示セルは1個である。

【0046】水銀拡散後初期のパネルにおいては、図5および図6に示すように表示セルのI-V特性（セルV切片およびセルインピーダンス）にばらつきがあり、従って定電圧駆動時のセル電流には図7および図8に示すようなばらつきがある。パネルのパターン表示駆動は、通常、点灯させる表示セルに一定のセル電圧（書き込み電圧）を印加する定電圧駆動なので、パターン表示駆動時のセル電流には図7および図8に示すようなばらつきがある。

10

【0047】次に水銀拡散後初期のパネルに対しエージングを実施すると、セルインピーダンスは特に変化しないが、セルV切片がエージングオン時間とともに下がる。セルV切片の減少量は、主にエージングオン時間により決まり、表示セルごとにばらつくものではない。なお、エージングにおいては、スパック物の付着による前面板の透過率低下により、表示セルの輝度がエージング時間とともに下がるが、輝度の変化率は小さく表示品質にもさほど影響しない。

20

【0048】図9は任意の表示セルにおけるエージング時間に対するセルV切片の降下特性を示す図である。図9には、複数のPDPから抽出した複数の表示セルにおける平均値を示してある。また、セル電流を100 [μ A] に設定した場合と200 [μ A] に設定した場合について示してある。また、エージングのオンデューティは1/256である（従ってエージングオン時間はエージング時間の1/256となる）。また、セルV切片の変化は、水銀の水銀拡散後初期（=エージング時間0分）のセルV切片を基準（0 [V]）として示してある。

30

【0049】図4ないし図7に示すように、水銀拡散後初期のパネルにおける表示セルのI-V特性（セルV切片およびセルインピーダンス）にはばらつきがある。エージングを実施すると、全ての表示セルのセルV切片は小さくなり、またセルインピーダンスはエージング前後でほとんど変化しない。エージングにより表示セルのセルV切片の減少量はエージングオン時間のみに依存して決まり、エージング前（水銀拡散初期）のセルV切片の値等には依存しない。従って、全ての表示セルを同じ時間だけエージング駆動した場合には、全ての表示セルのセルV切片の減少変化量は同じになる。すなわち、従来のように全ての表示セルのエージングオン時間を同じにしたエージングを実施した場合には、全ての表示セルのセルV切片は一定量だけ小さくなり、セルインピーダンスは変化しないので、I-V特性はセルV切片軸の方向に一定量だけシフトし、これにより定電圧駆動時の全ての表示セルのセル電流は大きくなるが、表示セル間におけるセル電流のばらつきは依然として存在する。以上のことから、定電圧駆動時のセル電流のばらつきを抑える

40

には、エージング前のパネルにおいて、表示セルごとにI-V特性（具体的には1次近似特性で良い）を実測により求め、定電圧駆動時のセル電流を基準電流まで増加させるために必要なセルV切片の減少量を上記のI-V特性に基づいて求め、このセルV切片の必要減少量を図9のエージング時間に対するセルV切片の変化特性によりエージング時間に換算し、それぞれの表示セルをセルV切片の必要減少量に応じたエージング時間でエージングしてやれば良い。

【0050】本発明のエージング方法は、従来のように全表示セルを同じエージングオン時間でエージング駆動するのではなく、各表示セルのエージングオン時間を個別に設定し、設定されたエージングオン時間だけ各表示セルをエージング駆動することにより、表示セルのI-V特性を個別に調整し、表示セルのI-V特性のばらつきに起因するセル電流のばらつきを補正できるようにしたことを特徴とするものであり、この実施の形態1のエージング方法は、各表示セルのエージング時間を個別に設定し、各表示セルを設定されたエージング時間が経過するまで共通のオンデューティ（陰極ラインが256本の場合は1/256）でエージングすることを特徴とするものである。

【0051】以下に、表示セルの個別エージング時間の設定手順について説明する。まず、図4ないし図7において説明したように、それぞれの表示セルのI-V特性上の2点を実測により求め、この2点からI-V特性の1次近似特性を計算し、図5のセルインピーダンスと、図6のセルV切片と、図7の所定駆動電圧による定電圧駆動時のセル電流とを求める。このとき、セルV切片およびセル電流を実測により求めても良い。

【0052】次に基準電流を設定する。基準電流は図7のセル電流値あるいはそのばらつき度合いを参照して設定しても良いし、予め設定しておいても良い。ここでは、図8に示すセル電流度数分布を用い、最も度数の多いセル電流範囲40~45 [μ A]を基準電流（例えば電流範囲の平均値）として設定する。ただし、エージングにより定電圧駆動時のセル電流を増加させることはできるが減少させることはできないので、基準電流に満たないセル電流の表示セルがエージングによるセル電流増加補正の対象となり、基準電流を越えるセル電流の表示セルはエージングによりセル電流補正の対象外となる。従って、度数だけでなく、補正の対象外となる表示セルの個数およびそのセル電流をも考慮して基準電流を設定する必要がある。図8では、セル電流25~30 [μ A]の表示セル1個、30~35 [μ A]の表示セル12個、35~40 [μ A]の表示セル118個、がセル電流補正の対象となり、45~50 [μ A]の表示セル1個は対象外となる。

【0053】次に補正対象表示セルのエージング時間を図5ないし図7のI-V特性の1次近似特性と図9のセ

ルV切片の降下特性とに基づいて設定する。補正対象表示セルのセル電流が基準電流に達するように、補正対象表示セルのセル電流と基準電流との差分に対応するセルV切片の減少量を上記1次近似特性に基づいて計算し、このセルV切片の減少量に対応するエージング時間をセルV切片の降下特性から求める。セル電流の小さい表示セルほど、設定エージング時間が長くなる。また、セル電流が基準電流以上の表示セルは設定エージング時間を0とする（エージングしない）。図8ではセル電流40 [μ A]以下の表示セルのエージング時間が個別に設定され、セル電流40 [μ A]以上の表示セルのエージング時間は0に設定される。

【0054】図10は図4ないし図7の表示セルの設定エージング時間を走査順にプロットした図である。図10には、設定セル電流が100 [μ A]の場合と200 [μ A]の場合について示してある。設定エージング時間が0分である表示セルはエージングを実施しない表示セルである。なお、図10には設定エージング時間が1000分以上となる表示セルはプロットされていないが、図4ないし図8で用いたパネルには、セル電流200 [μ A]で1000分間エージング（1000/256分間エージング駆動）しても、定電圧駆動時（設定セル電圧248 [V]時）のセル電流が基準電流に達しない表示セルが実際には1個ある。このような特に長い時間（ここでは1000分間以上）のエージングを必要とするセルが複数セルある場合には、普通は不良パネルとして処理する。なお、長い時間のエージングを必要とするセルが1~3個程度の場合、信号処理方法で補正する場合もある。

【0055】以上のようにして表示セルごとに個別にエージング時間が設定される。このあと、設定したエージング時間をセルデータとして、実施の形態1のエージング装置のメモリ65（図2参照）に書き込み、エージングを実施する。

【0056】このように本発明の実施の形態1によれば、パネルの各表示セルを個別のエージング時間だけエージングし、表示セルのI-V特性を個別に調整できるようにしたことにより、定電圧駆動時のセル電流の表示セル間ばらつきを補正することができるので、不灯セルおよび誤点灯セルのない良好なパターン表示が可能となる。

【0057】実施の形態2

本発明の実施の形態2のPDPエージング装置は、表示陽極定電流回路1と、補助陽極定電流回路2と、表示陽極ドライバ回路3と、補助陽極ドライバ回路4と、陰極ドライバ回路5と、信号処理回路8とを有する。すなわち、上記実施の形態1のPDPエージング装置において、信号処理回路6を信号処理回路8としたものである。図11は本発明の実施の形態2のPDPエージング装置の構成を示す回路図である。なお、図11におい

て、図2と同じものには同じ符号を付してある。

【0058】信号処理回路8は、基本信号発生回路81と、アドレス信号発生回路82と、メモリ83と、パルス幅変調回路84とを有する。基本信号発生回路81は、アドレス基本信号30と、読み出しイネーブル信号11と、パルス基本クロック32と、走査シフトクロック15と、走査パルス16とを発生させる。また、アドレス信号発生回路82は、入力されたアドレス基本信号30に基づいてアドレス信号35を発生し、これをメモリ83に出力する。なお、アドレス基本信号30はアド

レス信号35の基本信号となるものであれば良い。
【0059】メモリ83は、セルデータを記憶しており、読み出しイネーブル信号11によりデータ読み出し動作が許可されているときに、アドレス信号35により指定されたアドレスに記憶されているセルデータをセルデータ信号として出力する。

【0060】セルデータは、各表示セルごとに個別に設定されたエージングオン時間を示すデータであり、ここでは8ビットデータであるものとする。この実施の形態2では、表示セルのエージングは共通のエージング時間で実施され、セルデータは各表示セルの個別のオンデューティを示すデータである。この実施の形態2のエージング装置においては、PDP7の各表示セルのオンデューティは、 $1/256$ 以下の値に個別に設定される。

【0061】メモリ83からのセルデータの読み出し形態は任意であるが、ここでは、メモリ83の1アドレス期間を1ライン走査期間とし、1ライン走査期間に上記256個の表示セルのエージング時間データを1アドレス期間に256個の表示セルのセルデータを同時に読み出すものとする。従って、メモリ83は、ここでは8ビットのバスを256本備えており、1アドレスに256×8ビットのデータ(256個のセルデータ)を記憶しており、この256個のセルデータを上記256本のバスにそれぞれ256本のセルデータ信号36-1~36-256として出力するものとする。また、同じ陰極ラインに属する256個の表示セルのセルデータがメモリ83の1アドレスに記憶されるものとする。

【0062】パルス幅変調回路84は、パルス基本クロック32の立ち上がり(あるいは立ち下がり)回数を数えるカウンタ回路、セルデータを保持するラッチ回路等を備え、セルデータ信号36-1~36-256の256個のセルデータにそれぞれ応じた幅に変調された256個のパルスを生成し、この256個の幅変調されたパルスをそれぞれエージング制御信号37-1~37-256として表示陽極定電流回路1に出力する。エージング制御信号のパルス幅は、対応する表示セルのオンデューティを示し、幅が広いほどオンデューティは大きくなる。セルデータは8ビットデータであるので、パルス幅を256段階(0を含む)に変調することが可能であり、これにより表示セルのオンデューティを256段

階に設定することができる。セルデータの最小値をパルス幅0に対応させ、セルデータの最大値を1ライン走査期間(1フレーム走査期間の $1/256$ の期間)のパルス幅に対応させると、幅変調の分解能は1ライン走査期間の $1/255$ となる。オンデューティの最小値は0、最大値は $1/256$ となる。このとき、パルス幅変調基本クロック32の周期は、1ライン走査期間の $1/256$ 以下であれば良い。

【0063】なお、信号処理回路8のメモリ83は、各表示セルのセルデータを記憶する記憶手段を構成している。また、メモリ83を除く信号処理回路8と、表示陽極定電流回路1と、表示陽極ドライバ回路2と、陰極ドライバ回路5とは、セルデータに応じた個別のオンデューティで共通のエージング時間が経過するまで各表示セルをエージング駆動するエージング手段を構成している。また、信号処理回路6のパルス幅変調回路84は、セルデータに基づいて、単位期間(1ライン走査期間)においてエージング駆動する期間とエージング駆動しない期間を表示セルごとに示すエージング制御信号を生成する制御手段を構成している。

【0064】次に実施の形態2のエージング装置の動作を説明する。図12は実施の形態2のPDPエージング装置の駆動タイミングチャートである。図12には、アドレス信号35と、読み出しイネーブル信号11と、セルデータ信号36-1~36-256(36-3~36-255は図示省略)と、パルス基本クロック32と、エージング制御信号37-1~37-256(37-3~37-255は図示省略)と、走査シフトクロック15と、走査パルス16と、陰極出力端子24-1~24-256(24-2~24-255は図示省略)電圧の各タイミングチャートを示してある。

【0065】アドレス信号35は、陰極ラインKL_iに属する256個の表示セルCE(i, 1)~(i, 256)のセルデータのアドレスを指定する8ビットの信号である。図12のアドレス信号35に表記してあるKL₁等は、そのとき指定されている陰極ラインを示している。なお、陰極ラインの本数がm本の場合のアドレス信号のビット数をqとすると、 $2^q = m$ となるようにビット数qを決定する。

【0066】メモリ83は、アドレス信号35により指定されたアドレスに記憶されている(アドレス信号35により指定された陰極ラインに属する)256個の表示セルのセルデータ(8ビットデータ)を、それぞれセルデータ信号36-1~36-256として同時にパルス幅変調回路84に出力する。図3のセルデータ36-1~36-256に表記してあるAL₁等は、そのデータに対応する表示セルが属する表示陽極ラインを示している。陰極ラインKL_iに属する256個の表示セルのセルデータをパルス幅変調回路84に出力する処理は、陰極ラインKL(i-1)の走査期間に実施される。

【0067】パルス幅変調回路84は、セルデータ信号36-jのセルデータに応じて、最小幅を0、最大幅を1ライン走査期間とする256段階の幅のいずれかに幅変調されたパルス(WMP)を生成し、この幅変調されたパルスをエージング制御信号37-jとして表示陽極定電流回路1の対応する定電流ユニットに出力する。図12のエージング制御信号37-1~37-256に表記してある番号は、その信号期間に対応する表示セルの番号を示している(例えば「(256, 1)」は表示セルCE(256, 1)を示し、また「(1, 1)」は表示セルCE(1, 1)を示している)。エージング制御信号37-1~37-256は1ライン走査期間ごとに更新される。なお、エージング制御信号37-1~37-256の1ライン走査期間において、幅変調されたパルスが位置する期間(エージング制御信号が"H"レベルとなる期間)は任意に設定できる。通常は、幅変調されたパルスの立ち上がりを1ライン走査期間の開始時にそれえるが、パルスの立ち下がりを1ライン走査期間の終了時にそろえても良いし、1走査期間の中間点とパルス中間点とをそろえるようにしても良い。

【0068】表示陽極定電流回路1、表示陽極ドライバ回路2、補助陽極定電流回路3、補助陽極ドライバ回路4、および陰極ドライバ回路5は上記実施の形態1と同じである。陰極ドライバ回路5により陰極ラインKL_iが選択される1ライン走査期間において、エージング制御信号37-jが幅変調されたパルスにより"H"レベルとなる期間だけ表示陽極定電流回路1および表示陽極ドライバ回路2により表示セルCE(i, j)にセル電流が供給され、上記の1ライン走査期間においてエージング制御信号37-jが"H"レベルとなる期間だけ表示セルCE(i, j)がエージング駆動される。

【0069】図13は任意の表示セルにおけるエージングオンデューティ(エージング制御信号のパルス幅)に対するセルV切片の降下特性を示す図である。図13には、複数のPDPから抽出した複数の表示セルにおける平均値を示してある。また、セル電流を100[μA]に設定した場合と200[μA]に設定した場合について示してある。また、エージング時間は1000分間である。また、256段階のオンデューティを0~255レベルとして示してある。r(rは0から255までの任意の整数)レベルは、エージング制御信号のパルス幅が1ライン走査期間のr/255であるときのオンデューティの値(r/255)×(1/256)に対応する。従って、0レベルは、表示セルをエージング駆動しない場合であり、パルス幅が0であるときのオンデューティの最小値0に対応する。また、255レベルはパルス幅が1ライン走査期間であるときのオンデューティの最大値1/256に、中間の127レベルはパルス幅が1ライン走査期間の半分であるときのオンデューティ値1/512にそれぞれ対応する。

【0070】上記実施の形態1においては、各表示セルを個別に設定されたエージング時間が経過するまで共通のオンデューティ(陰極ラインが256本の場合は1/256)でエージングすることにより、各表示セルを個別のエージングオン時間だけエージング駆動し、表示セルのI-V特性を個別に調整できるようにした。しかし、全ての表示セルのエージング時間を同じ値に設定した場合に、オンデューティを変えれば表示セルのエージングオン時間を変えられる。このとき、セルV切片は、図13に示すようにオンデューティに依存して小さくなる。従って、各表示セルを個別のオンデューティでエージングすることによっても表示セルのI-V特性を個別に調整することができる。この実施の形態2のエージング方法は、各表示セルのオンデューティを個別に設定し、各表示セルを設定されたオンデューティで共通のエージング時間が経過するまでエージングすることにより、表示セルのI-V特性を個別に補正できるようにしたことを特徴とするものである。

【0071】表示セルの個別オンデューティの設定手順は、上記実施の形態1における個別エージング時間の設定手順と概ね同じである。ただし、上記実施の形態1のように図9のエージング時間に対するセルV切片の降下特性を用いてエージング時間を決めるのではなく、図13のオンデューティに対するセルV切片降下特性を用いて、セルV切片の必要減少量に対応するオンデューティを決める。

【0072】図14は図4ないし図7の表示セルの設定オンデューティを走査順にプロットした図である。図14には、設定セル電流が100[μA]の場合と200[μA]の場合について示してある。設定オンデューティが0レベルである表示セルはエージングを実施しない表示セルである。

【0073】以上のようにして表示セルごとに個別にオンデューティが設定される。このあと、設定したオンデューティをセルデータとして、実施の形態2のエージング装置のメモリ83(図11参照)に書き込み、エージングを実施する。

【0074】このように実施の形態2によれば、パネルの各表示セルを個別のオンデューティでエージングし、表示セルのI-V特性を個別に調整できるようにしたことにより、定電圧駆動時のセル電流の表示セル間ばらつきを補正することができるので、不灯セルおよび誤点灯セルのない良好なパターン表示が可能となる。

【0075】なお、上記実施の形態1および2においては、DC型プラズマディスプレイのエージングについて説明したが、本発明は、自発光あるいは非自発光の複数の表示セルを備え、表示セルのエージングを実施する(あるいは実施する必要がある)他のディスプレイ(プリンタ等のラインヘッドのように表示セルを一列に配置したものも含む)にも適用可能である。

【0076】

【発明の効果】以上説明したように本発明によれば、ディスプレイの各表示セルを個別のエージングオン時間だけエージング駆動し、表示セルのI-V特性を個別に調整できるようにしたことにより、表示セル間のI-V特性ばらつきを補正することができるので、良好なパターン表示が可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1のエージング装置の構成を示すブロック図である。

【図2】本発明の実施の形態1のエージング装置の構成を示す回路図である。

【図3】本発明の実施の形態1のエージング装置における駆動タイミングチャートである。

【図4】DC型プラズマディスプレイを定電流駆動したときの1陽極ラインに含まれる表示セルのセル電圧をプロットした図である。

【図5】図4に示した表示セルのセルインピーダンスをプロットした図である。

【図6】図4に示した表示セルのセルV切片をプロットした図である。

【図7】図4に示した表示セルを定電圧駆動するときのセル電流をプロットした図である。

【図8】図7のセル電流の度数分布図である。

【図9】任意の表示セルにおけるエージング時間に対するセルV切片の降下特性を示す図である。

【図10】図4の表示セルの設定エージング時間をプロ

ットした図である。

【図11】本発明の実施の形態2のエージング装置の構成を示す回路ブロック図である。

【図12】本発明の実施の形態2のエージング装置における駆動タイミングチャートである。

【図13】任意の表示セルにおけるオンデューティに対するセルV切片の降下特性を示す図である。

【図14】図4の表示セルの設定オンデューティをプロットした図である。

10 【図15】DC型プラズマディスプレイの構造図である。

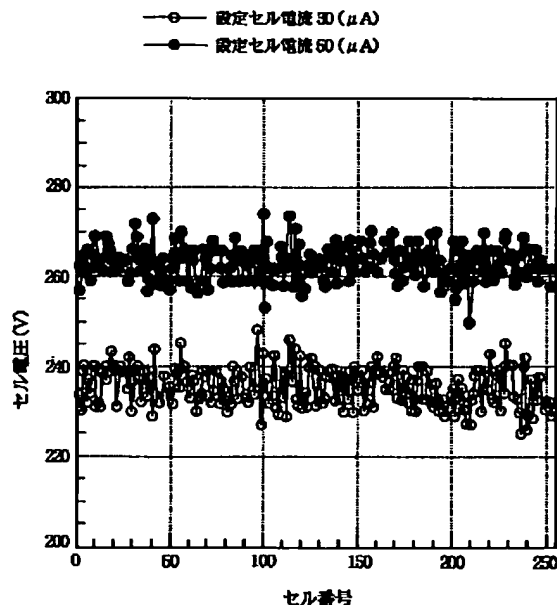
【図16】従来のエージング装置の構成を示すブロック図である。

【図17】従来のエージング装置における陽極定電流回路および陽極ドライバ回路の構成を示す回路ブロック図である。

【符号の説明】

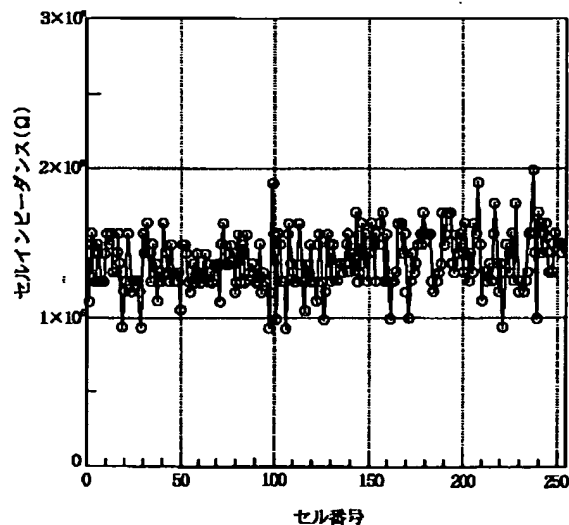
1 表示陽極定電流回路、 2 表示陽極ドライバ回路、 5 陰極ドライバ回路、 6, 8 信号処理回路、 7 DC型プラズマディスプレイ、 24 陰極出力端子、 25 表示陽極出力端子、 51 シフトレジスタ、 61, 81 基本信号発生回路、 62, 82 アドレス信号発生回路、 63 タイマ回路、 64, 68 ラッチ回路、 65, 83 メモリ、 66 比較回路、 67 シフトレジスタ回路、 Tr1~Tr5 トランジスタ、 R1, R2, R4, R5 抵抗、 Rv ボリューム用可変抵抗。

【図4】



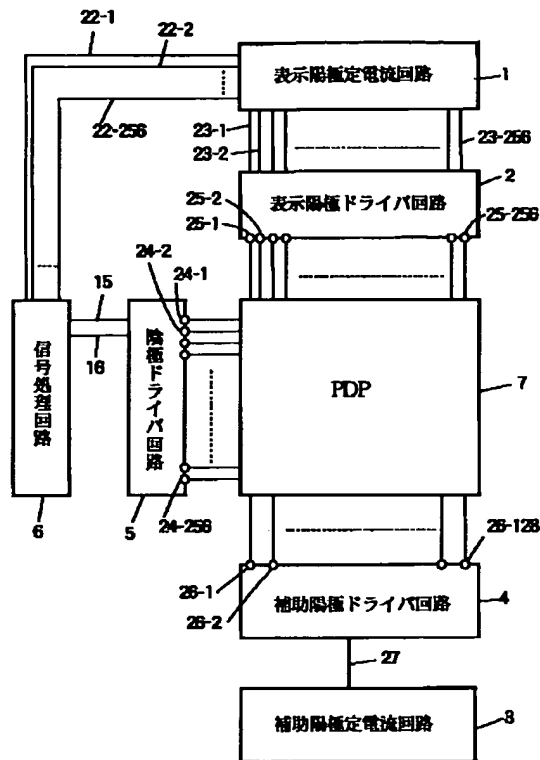
DC型FDPの1表示陽極ラインに含まれる表示セルの定電流駆動時セル電圧

【図5】

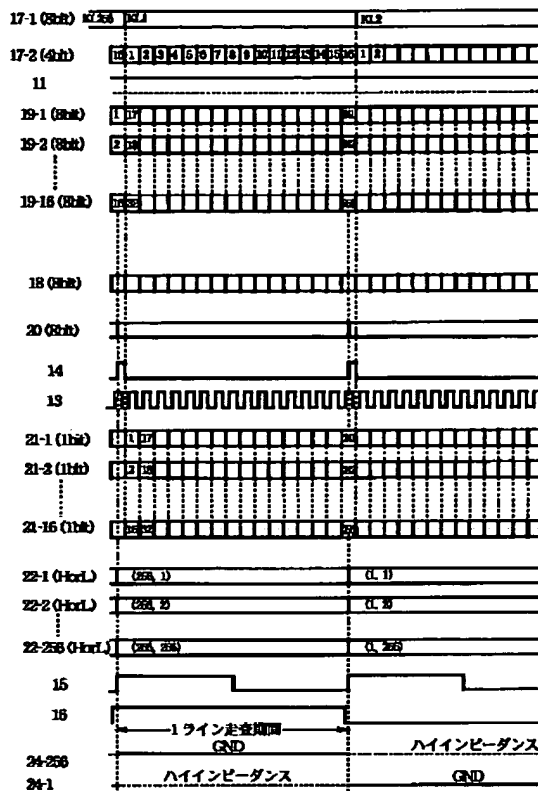


DC型FDPの1表示陽極ラインに含まれる表示セルのセルインピーダンス

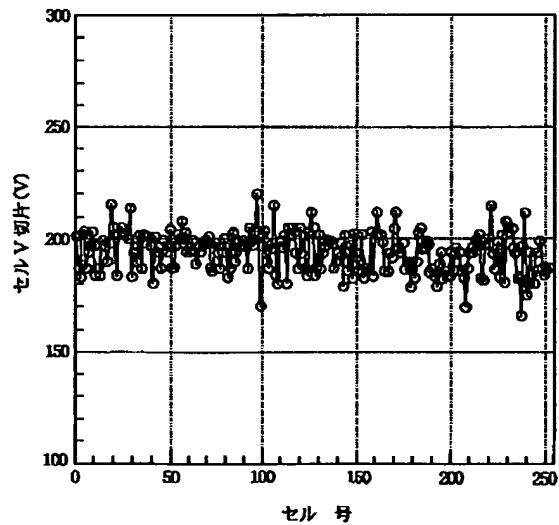
【図1】



【図3】

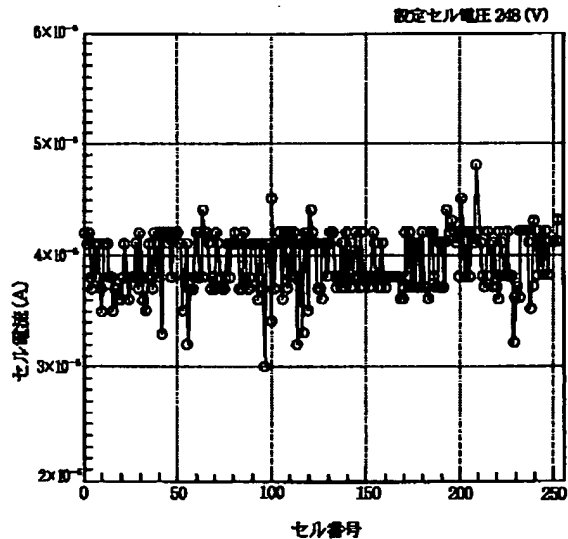


【図6】



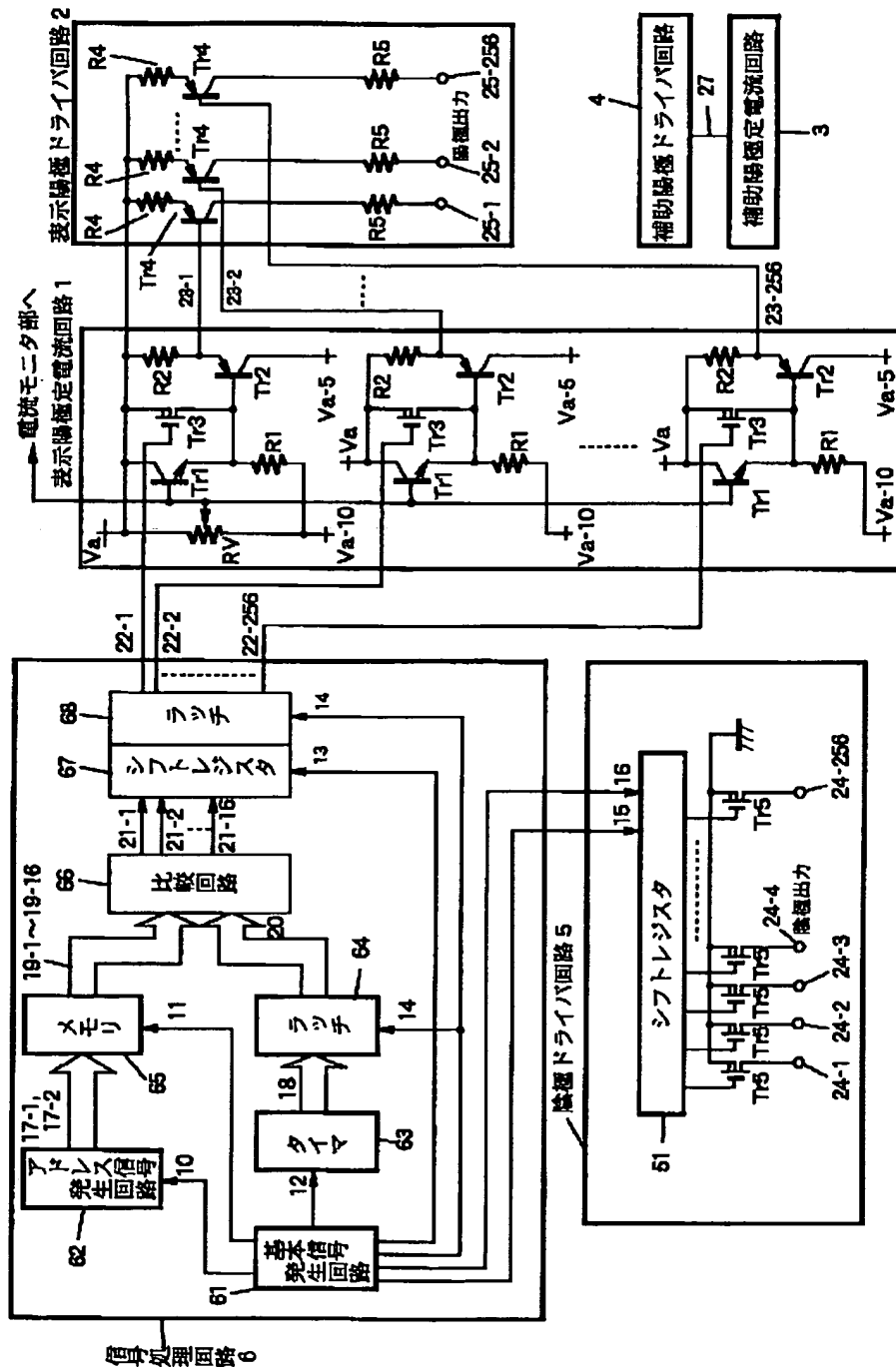
DC型PDPの1表示極線ラインに含まれる表示セルのセルV切片

【図7】

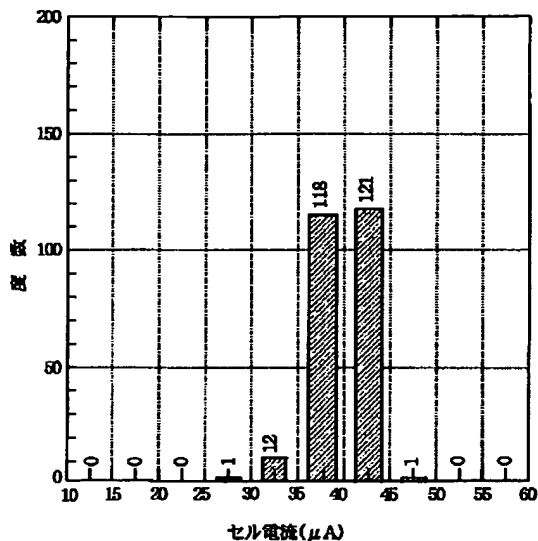


DC型PDPの1表示極線ラインに含まれる表示セルの定電圧駆動時セル電流

傳真處理回路。

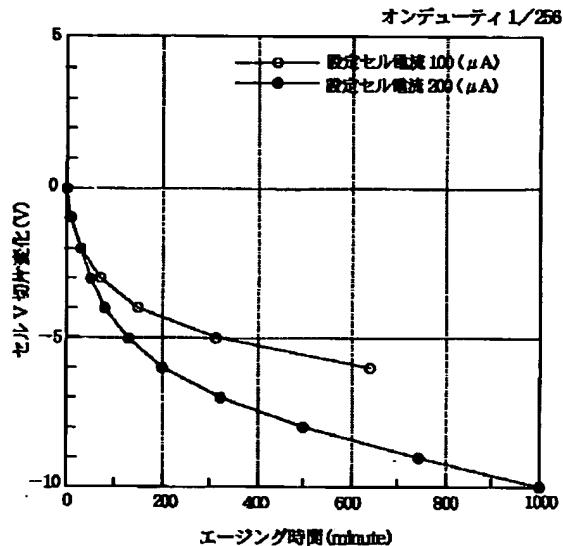


【図8】



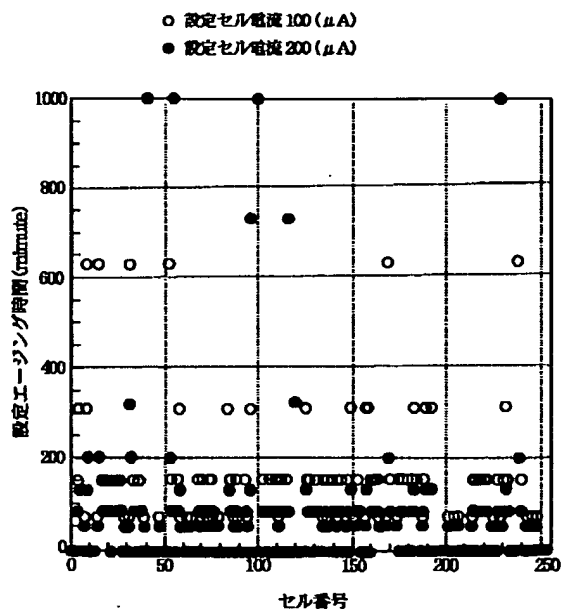
DC型PDPの1表示極値に含まれる表示セルの
定電圧駆動時セル電流の度数分布

【図9】



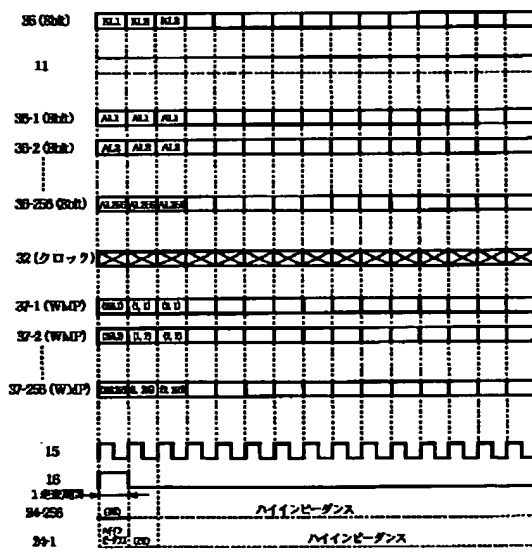
DC型PDPの表示セルのエージング時間に対する
セルV切片変化

【図10】

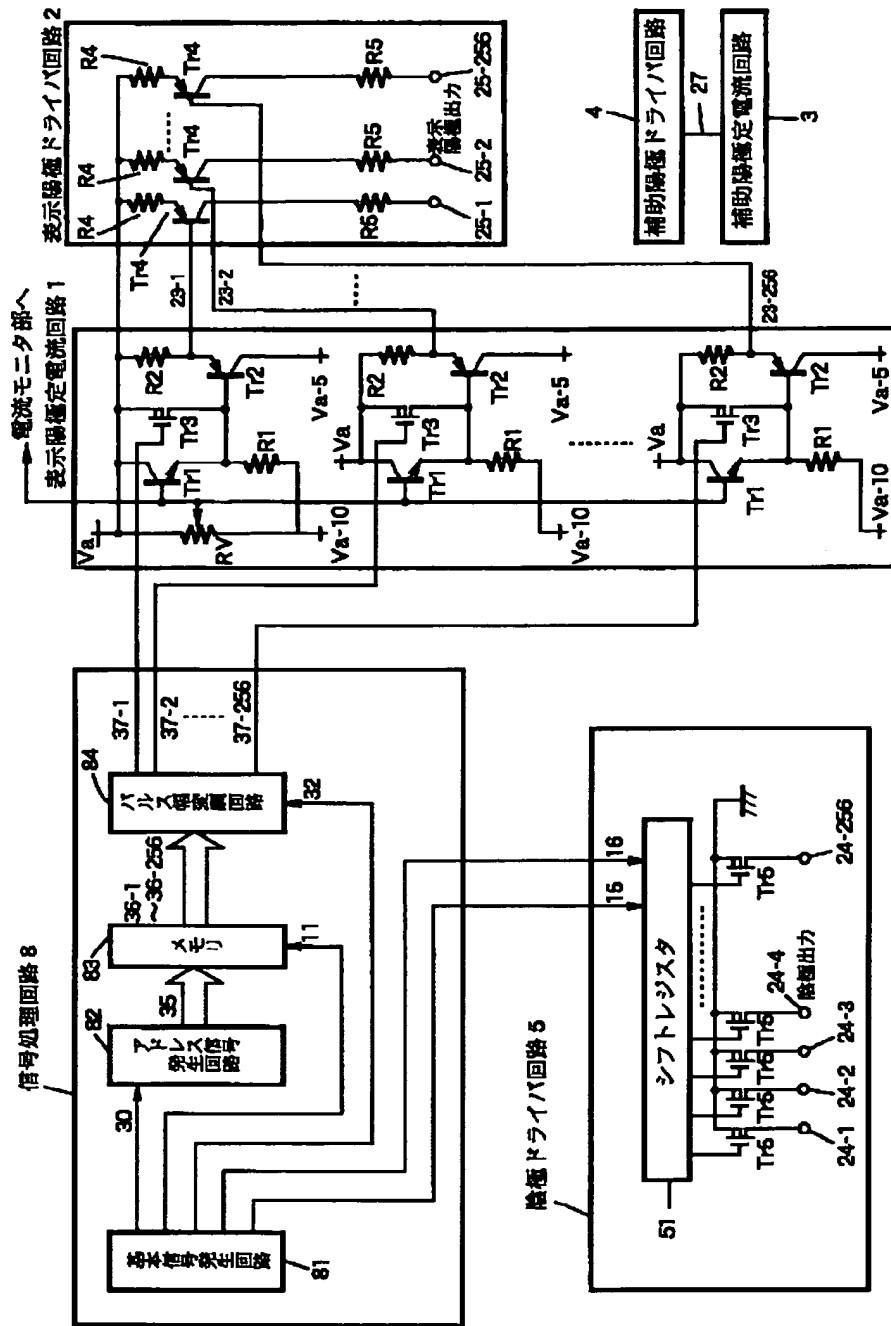


DC型PDPの1表示極値ラインに含まれる表示セルの
エージング時間設定値

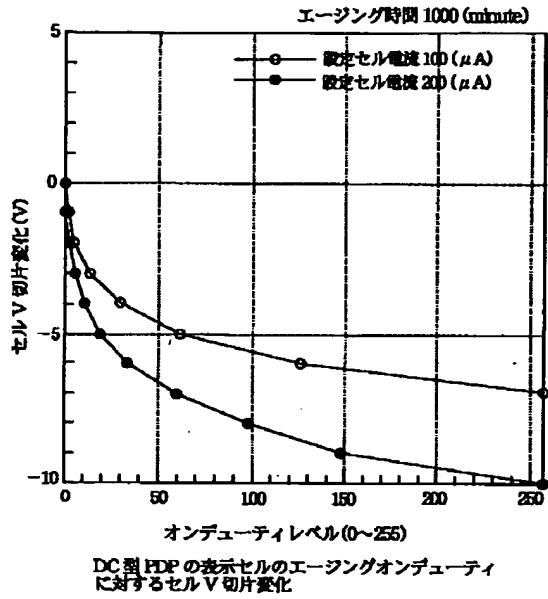
【図12】



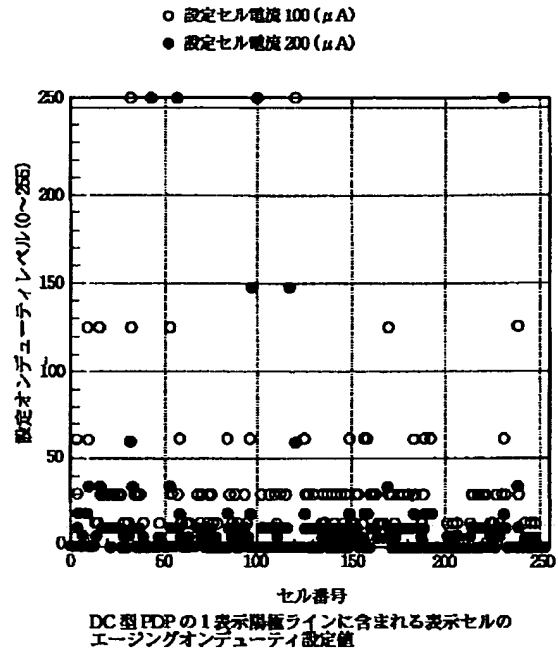
【図11】



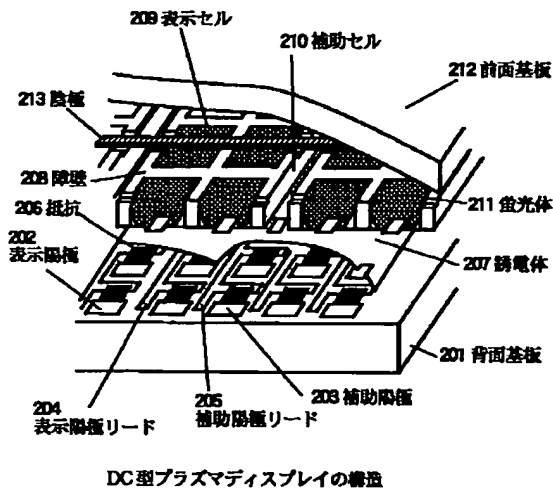
【図13】



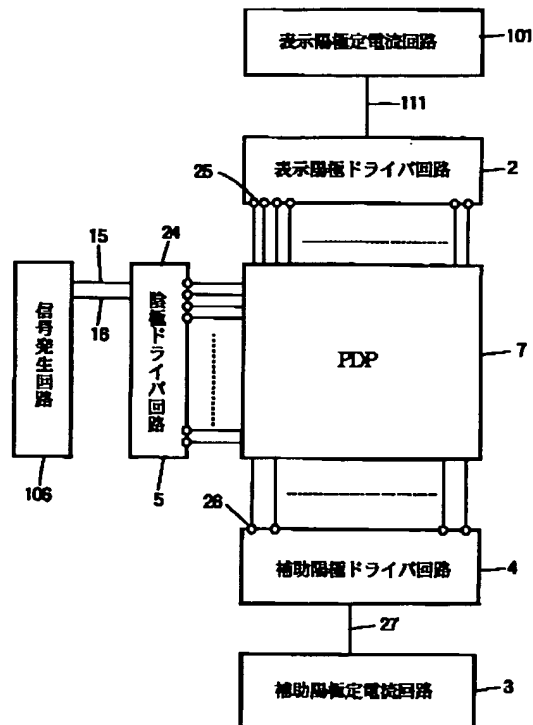
【図14】



【図15】

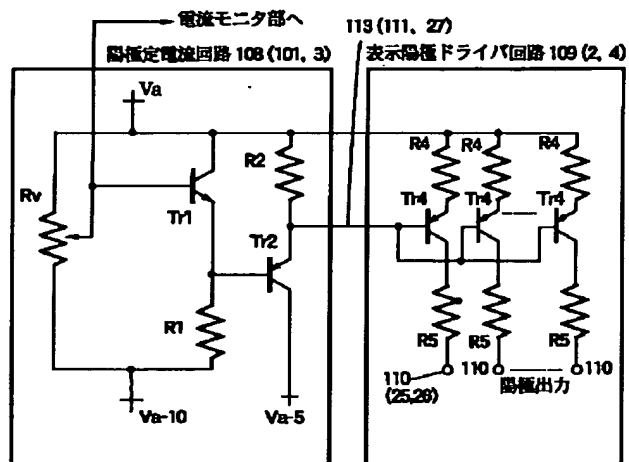


【図16】



従来のPDPエージング装置のブロック図

【図17】



従来のPDPエージング装置の陽極電流回路及び陽極ドライバ回路

フロントページの続き

(72)発明者 関口 武人

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内